

Studies on Graphene Field Effect Transistors: Process and Design for High Performance Applications

著者	鄭 明鎬
号	56
学位授与機関	Tohoku University
学位授与番号	工博第4603号
URL	http://hdl.handle.net/10097/61676

氏 名	鄭 明 鎬
授 与 学 位	博士 (工学)
学位授与年月日	平成24年3月27日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	Studies on Graphene Field Effect Transistors : Process and Design for High Performance Applications (グラフェン電界効果トランジスタに関する研究—高性能化に向けてのプロセスと設計—)
指 導 教 員	東北大学教授 末光 眞希
論 文 審 査 委 員	主査 東北大学教授 末光 眞希 東北大学教授 大野 英男 東北大学教授 尾辻 泰一 東北大学准教授 末光 哲也

論 文 内 容 の 要 旨

Graphene has been attracting explosive attention as a candidate for the new channel material owing to its exceptional electrical and mechanical properties. To develop the graphene-based electronic devices, however, numerous problems need to be overcome. In this research, to develop high performances in graphene field effect transistors (GFETs), I focused on the process design of GFETs and proposed a new device structure.

The outline of this thesis is as follows. Chapter 2 describes the evaluation of the intrinsic electrical properties of graphene for electronic device applications by use of a back-gated GFET. By using the back-gated device structure, defects and other external effects introduced by the device fabrication process can be minimized. As a result, the back-gated GFET exhibits an ambipolar conduction characteristics and high carrier mobilities for both electrons and holes. Also, no drain current saturation is observed, which is consistent with the zero-bandgap nature of the monolayer graphene.

Chapter 3 describes the evaluation of the various dielectrics for the top-gate GFET application and demonstrated the electrical characteristics of the top-gate GFET. As a result, the Al_2O_3 layer, formed by natural oxidation of e-beam evaporated Al, is found most suitable for this purpose. The top-gate GFET exhibits ambipolar transfer characteristics and a linear current-voltage characteristics. However, the gate dielectric formation on graphene leads to degradation of electrical properties of graphene.

In chapter 4, the conduction type and transconductance modulations of the GFET by dual gate operation were investigated to realize a CMOS-like device used for high performance graphene logic applications. The conduction type of the graphene channel can be modulated through the electrostatic doping by a back-gate biasing. Also, the access resistance at the ungated region between the gate and the source/drain electrodes can be changed by the electrostatic doping. As a result, the transconductance characteristics of the GFET were improved drastically.

In chapter 5, a novel self-aligned source/drain (S/D) GFET was proposed using an undercut gate-stack profile, which provides a simple fabrication process and yet an extremely small access length. As a result, the self-aligned S/D GFET exhibits an excellent electrical characteristics. Also, although the large gate length ($L_G = 3 \mu\text{m}$) of the present device, the cutoff frequency of 13 GHz was achieved.

Finally, chapter 6 describes the fabrication and characterization of the self-aligned S/D GFETs on SiC substrates for mass product applications. The 33 (*number of devices*) self-aligned S/D GFETs array fabricated on 6H-SiC wafer substrate shows a yield of as high as 91 % (*working device*), which proves the high feasibility of this self-aligned S/D GFET technology.

To achieve this, I have first investigated the intrinsic electrical properties of graphene and have examined various dielectrics for top-gate device applications. The conduction characteristics of the graphene channel were then studied for logic and CMOS applications. Finally, a new device structure was proposed to develop high-performance graphene devices. As a result, I found the followings:

By using the back-gated (BG) device structure, I have established a method to evaluate the intrinsic transport properties of graphene for electronic device applications. The BG device structure minimizes defects, impurities and other external effects. GFET shows an ambipolar conduction behavior and almost the same carrier mobilities for both electrons and holes. This is due to the symmetry of the conduction and the valence bands around the Dirac point. No drain current saturation was observed in drain current as a function of drain voltage characteristics, which is consistent with the single-layer, zero-bandgap nature of graphene.

I have evaluated various dielectric layers for top-gated (TG) device applications. Graphene is found to be easily damaged by plasma during the dielectric deposition process. The Al_2O_3 layer formed by e-beam evaporation followed by natural oxidation is shown to be the best dielectric among the materials tested in this study in terms of the plasma damage and of the dielectric properties. TG-GFET with this Al_2O_3 gate dielectric layer was then fabricated and their electrical characteristics were evaluated. The carrier mobilities of the TG-GFET are lower than those of the BG-GFET, indicating degradation of the electrical properties of graphene device caused by the dielectric formation process.

I have investigated the conduction characteristics of graphene channel for logic circuit and CMOS applications by using dual-gate GFET. The conduction type of the graphene channel is found to be modulated from ambipolar to unipolar (n- and p-type) through electrostatic dopings by the back-gate biasing. Also, the transconductance of the dual-gate GFET is significantly improved by minimizing the access resistance controlled by the BG-biasing. The intrinsic carrier mobility abstracted through the dual-gate GFET operation is reasonably independent of the access resistance.

I have proposed a new device structure having no sidewall spacers for high performance graphene device. The proposed device, self-aligned source/drain (S/D) GFET, has the advantages of simple fabrication process and an extremely small access length. The self-aligned S/D GFET exhibits superior electrical characteristics. A cutoff frequency of 13 GHz was obtained in the present device. This value is quite promising in view of the rather long large gate length ($L_G = 3 \mu\text{m}$) of the present device.

In search of mass-production-compatible formation of graphene devices I have fabricated the self-aligned S/D GFET, developed in chap. 5, on semi-insulating 6H SiC substrate. Although the GFETs on the SiC substrate exhibited lower electrical properties than those of the exfoliated graphene, the excellent working device yield of 91% is quite promising as a method for mass product applications. Further optimization of the epitaxial graphene and gate-stack formation will surely pave a way to realize this goal.

論文審査結果の要旨

sp^2 結合した二次元炭素系ネットワークであるグラフェンは、極薄チャネル、超高速移動度、シリコンプレーナプロセスへの適合性、高い熱的・化学的安定性を示し、シリコン以後の次世代チャネル材料として大きな注目を集めている。本研究はこのグラフェンを用いた電界効果トランジスタ (FET) のプロセスとデバイス構造についての成果を取りまとめたもので、全編 7 章から成る。

第 1 章は、序論である。

第 2 章は、グラフェンチャネルの真性電気特性を評価するために採用したバックゲート FET の作製と評価について述べている。熱酸化膜付シリコン基板上に剥離法で転写したグラフェンを用いてバックゲート (BG-) FET を作製し、その電気的特性を評価した結果、線形な電流-電圧特性、高い電子・正孔移動度というグラフェンの真性特性が得られることを示している。本手法は、FET 作製に用いるグラフェン本来の特性を知るための方法論を確立したものであるとして、高く評価される。

第 3 章は、トップゲート (TG-) FET 作製に不可欠なゲート絶縁膜の形成過程がグラフェンに与える影響について述べている。7 種類の誘電体に対して MOS キャパシタ構造を作製し、その電気特性を評価したところ、電子ビーム蒸着 Al を室温酸化させて形成した酸化アルミナ (Al_2O_3) が、グラフェンに対するダメージ及び誘電率の観点からグラフェン FET プロセスに最も適していることを明らかにしている。これは有用な知見である。

第 4 章は、CMOS ロジック回路の実現に必要な伝導型変調法について述べている。デュアルゲート FET を採用し、そのバックゲートを正負にバイアスすることにより、電子注入から正孔注入に至るまで自由に伝導型変調が可能となることを実証している。さらにバックゲート電圧印加により、ゲートに覆われていない ungated チャネル領域の抵抗を低減することが可能となり、その結果、真性移動度の高精度な抽出が可能であることを明らかにしている。これは工学的にきわめて有用な知見である。

第 5 章は、グラフェン高周波デバイスの実現に必須なセルフアライン (SA-) FET の作製と評価について述べている。Si や化合物半導体デバイスで主流である lightly doped drain (LDD) 構造の実現が困難なグラフェン FET では LDD を必要とするサイドウォール型 SA-FET が適していないことを指摘し、ungated 領域を容易に縮小可能なアンダーカット型ゲート構造をグラフェン向け SA-FET 構造として新たに提案している。作製されたアンダーカット型グラフェン SA-FET は、カットオフ周波数 13 GHz という、ゲート長 $3\ \mu\text{m}$ デバイスとしては世界最高水準の値を示し、この技術の高い将来性を示している。これは特筆すべき成果である。

第 6 章は、グラフェンデバイスの実用化を念頭に、SiC 基板上にエピタキシャル成長されたグラフェンを用いてグラフェン FET を作製し、その電気特性評価を行った結果と今後の課題について述べている。

第 7 章は、結論である。

以上要するに本論文は、グラフェン FET の作製に際して問題となるプロセス、デバイス構造上の課題を抽出し、その解決策を具体的に示した成果を取りまとめたものである。グラフェン真性電気特性の評価法、ゲート絶縁膜形成法、バックゲート型 FET による伝導型制御法を確立し、その知見を基にセルフアライン型グラフェン FET を作製して世界最高水準の高周波性能を実現した本研究の成果は、グラフェン FET の実用化に多大な貢献を成すものであり、電子工学および半導体デバイス工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。